

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-190237
 (43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H05K 3/46

(21)Application number : 08-342180
 (22)Date of filing : 20.12.1996

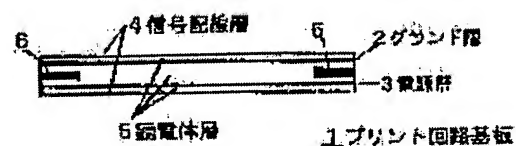
(71)Applicant : NEC CORP
 (72)Inventor : HARADA TAKASHI
 SASAKI HIDEKI

(54) PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer printed circuit board capable of suppressing the voltage variation between a power source and a ground, and effectively suppressing the malfunctioning of an apparatus, caused by the emission of unnecessary electromagnetic waves and the entry of external electromagnetic fields.

SOLUTION: This is a multilayer printed circuit board 1 having metal layers and dielectric layers laminated alternately, and a ground layer 2 to be a reference of potentials and a power layer 3 for supplying power. And at the end part between the ground layer 2 and the power layer 3, resistors 6 made of resistance material are arranged, and thin films by dielectric substances 5 are provided to prevent the resistors 6 from touching the ground layer 2 and the power layer 3 directly.



LEGAL STATUS

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2867985

[Date of registration] 25.12.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-190237

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶
H 0 5 K 3/46

識別記号

F I
H 0 5 K 3/46

Q
Z

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平8-342180

(22) 出願日 平成 8 年(1996) 12月20日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 原田 高志

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 佐々木 英樹

東京都港区芝五丁目7番1号 日本電気株
式会社内

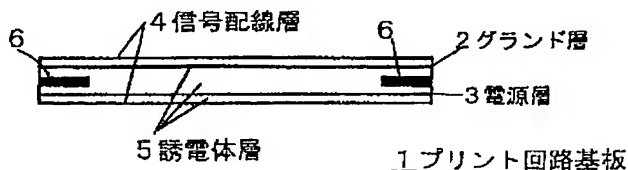
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 プリント回路基板

(57) 【要約】

【課題】 電源-グランド間の電圧変動を抑制し、不要電磁波の放射や外部電磁界の侵入による機器の誤動作を効率良く抑制する多層プリント回路基板を提供する。

【解決手段】 金属層と誘電体層が交互に積層され、電位の基準となるグランド層2と電源を供給するための電源層3を有する多層プリント回路基板1であり、グランド層2と電源層3の間の端部に、抵抗材料から構成された抵抗体6が設置され、抵抗体6とグランド層2、および抵抗体6と電源層3が直接接触しないよう誘電体5による薄い層が設けられている。



【特許請求の範囲】

【請求項 1】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記グラウンド層と前記電源層間の、前記プリント基板の端部もしくは前記電源層の端部に抵抗材料からなる抵抗体を有し、前記抵抗体は前記グラウンド層又は前記電源層の少なくともいずれかと直接電氣的に接触していないことを特徴とするプリント回路基板。

【請求項 2】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記グラウンド層と前記電源層間の、前記プリント基板の端部もしくは前記電源層の端部に、抵抗体層を金属層で挟んだ複合層と誘電体層とが交互に積層された構成を有することを特徴とするプリント回路基板。

【請求項 3】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記基板の端部に前記基板の表面層に回り込むように抵抗膜が設けてあり、前記グラウンド層と前記電源層は、基板の端部で、ビアホールを介して前記基板の対向する異なる表面層に設けられたパッドのいずれかと電氣的に接続され、前記抵抗膜の表面層に露出した部分と前記パッドは、前記パッドのどちらか一方がコンデンサを介して接続し、他の一方は直に接続された構成であるか、もしくは双方のパッドともコンデンサを介して電氣的に接続された構成であることを特徴とするプリント回路基板。

【請求項 4】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記基板の端部に抵抗体が設けてあり、前記グラウンド層と前記電源層は、基板の端部で、それぞれビアホールを介して前記基板の対向する異なる表面層に設けられたパッドのいずれかと電氣的に接続され、前記抵抗体は、前記パッドのどちらか一方とコンデンサを介して接続し、他の一方は直に接続された構成であるか、もしくは双方のパッドとコンデンサを介して電氣的に接続されている構成であることを特徴とするプリント回路基板。

【請求項 5】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記基板の端部および前記電源層の端部で、前記グラウンド層と前記電源層は、ビアホールを介して、前記基板の同一表面層に設置されるパッドとそれぞれ電氣的に接続され、前記パッドの間には抵抗とコンデンサが直列に挿入されていることを特徴とするプリント回路基板。

【請求項 6】金属層と誘電体層が交互に積層され、電位の

の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、

パッドが、前記基板の同一表面層の、前記基板の端部および前記電源層の端部を含む領域に、抑制しようとする目的の周波数帯の上限周波数の基板内波長の $1/2$ 以下の間隔で 3 つ一組で設置され、

前記グラウンド層と前記電源層が、前記一組の両端のパッドのいずれかとそれぞれビアホールを介して電氣的に接続され、

前記一組をなすパッド間には、抵抗とコンデンサが直列に挿入されていることを特徴とするプリント回路基板。

【請求項 7】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記グラウンド層と前記電源層の間にある誘電体層中、もしくはすべての誘電体層中に、抑制しようとする目的の周波数に対応した波長の $1/4$ の長さ分、前記基板の端部から内側に入り込んだ位置を中心に一定の幅、もしくはこの領域の内側全体に、磁氣的な損失を有する磁性体層が設けられていることを特徴とするプリント回路基板。

【請求項 8】金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記グラウンド層と前記電源層の間が、磁氣的な損失を有し、かつ電氣的に絶縁された層により構成されていることを特徴とするプリント回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報処理装置、通信装置などの電子機器に用いられる 2 層以上の層数を有する多層プリント回路基板に関し、特に不要電磁波の放射を抑制し、かつ外部から侵入する電磁ノイズによる回路の誤動作を抑制するための基板の構造に関する。

【0002】

【従来の技術】高度情報化社会の発展とともに、情報処理機器や通信機器などの電子機器の動作に伴い発生する不要な電磁波の放送や無線通信システムなどへの妨害、外部から侵入する電磁波による誤動作が大きな社会問題となっている。

【0003】そのため、電子機器ではシールドやフィルタの装着など、不要電磁波の抑制や外部電磁波の侵入を防ぐ処置が施されている。こうした処置を電子機器の心臓部である電子回路を搭載したプリント回路基板において行うことは、コスト面での効果が極めて大きく、従来からいくつかの技術が発明もしくは考案されている。

【0004】従来の多層プリント回路基板では、例えば特開平 5 - 243782 号公報に記載のものがあり、図 22 にその断面図を示す。多層プリント基板 101 の内部に設けられた信号伝送路層 102 の上側、及び下側に

は、絶縁材料 103 を介して内部アース層 104 およびアース層 105 を設けた構造となっている。

【0005】実開昭 60-71174 号公報に記載の多層プリント基板は、図 23 に示すように、基板 106 に取り付けられる各素子を電氣的に接続するための信号線 107 を絶縁性の基板本体 108 の内部に配設し、電源に接続される電源ライン 109、110 を基板本体の表面に設けることにより信号層 107 を遮蔽する構造である。

【0006】実開平 5-76083 号公報には、図 24 に示すように、プリント基板 111 の外層面 135 をグラウンドあるいは電源供給用単一ベタパターンとした構造によりシールドとして作用させ、内層の信号パターン層から放射する電磁波を抑制することを特徴とする多層プリント基板が記載されている。

【0007】特開平 2-68571 号公報に記載のプリント回路基板は、図 25 に示すように、基板 112 の面上に回路上どこにも接続されないパターン 113 を全面に形成した構造であり、実開昭 59-146999 号公報に記載のプリント基板のシールド構造は、図 26 に示すように、グラウンド層及び電源層 115 を外装に、信号層 116 を内層に配置したことを特徴する構造 114 が採用されていた。

【0008】また、実開平 2-26294 号公報に記載の電子機器の実装構造は、図 27 に示すように、多層プリント基板 121 のうち、電磁波発生源 123 に最も近い層 122 を電磁波発生源からのノイズを防止するシールド板としたことを特徴とする構造であり、特開平 6-69680 号公報に記載の電子機器の実装構造は、図 28 に示すように、多層プリント基板 124 の外装をシールド層 125a、125b とし、このプリント基板 124 と金属きょう体 126 とで囲まれた空間に高周波電磁波発生源 127a や回路 127b を配置した構造を採用することにより、不要電磁波放射源をシールドする構造が採用されていた。

【0009】また、特開平 7-302956 号公報に記載のプリント配線板は、配線板を上面から見た図 29 に示すように、基板 128 に設けた穴 129 によって、側縁導体部 130A、130B の間に形成された中間導体部 130E を分断して非導体部を設け、その穴 129 の位置は、側縁導体部 130A、130B のそれぞれから、それらの相互間の長さ L_1 の $1/4$ 以上離れた位置に設定した構成である。

【0010】第 10 回、回路実装学会学術講演会講演予稿集 15B-12 に記載の多層プリント回路基板は、図 30 に示すように、グラウンド層 132 の他に第 2 のグラウンド層 133 を追加し、二つのグラウンド層 132、133 で電源層 3 を挟み込み、さらに電源層 3 と第 2 のグラウンド層 121 間の誘電体の誘電率 ϵ_1 を他の誘電体の誘電率 ϵ_2 より大きくして電源層 3 とグラウンド層 132 間

の容量を大きくし、さらに基板の周囲において第 1 のグラウンド層と第 2 のグラウンド層の間の抵抗体 135 により接続する構造 131 が用いられていた。

【0011】

【発明が解決しようとする課題】プリント回路基板における不要電磁波放射や外部電磁界の侵入による回路の誤操作には、大きく二つの要因が考えられる。一つは信号配線パターンとグラウンドパターンで構成されるループに起因するもの、もう一つは電源とグラウンド間の電圧変動に起因するものである。

【0012】図 22、図 23、図 24、図 25、図 26 に示したプリント回路基板は、いずれもこの前者に起因する不要電磁波の抑制、外部電磁界の侵入を防止するものである。これらは、基板の全面に設けられたグラウンド層や、基板の一部に引かれたグラウンドパターン、もしくは電源層や電源パターンなどの同電位の金属板により信号配線パターンを挟み込むことにより、信号配線パターンとグラウンドパターンで構成されたループを電磁シールドする。しかし、これらの構造では、信号配線パターンを挟み込むために、グラウンドや電源と同電位の層を余分に設けなければならない欠点があった。

【0013】また、図 27、図 28 に示したプリント基板では、プリント基板の一部の層を全面グラウンド層もしくはシールド板とすることにより、周囲の金属ケースとの間にシールドされた空間を構成し、放射源である内部の高周波回路をシールドし、不要電磁波の放射や外部電磁波の侵入を抑制する。しかしながら、このような基板の一部の層と周囲のケースによりシールドを構成する構造では基板とケースが合致する構造を採用する必要があるため、既存のケースへの対応が出来ない、また、ケースをプラスチックなどの非導体で構成する場合には適用できないなどの問題点を含んでいる。

【0014】図 29 に示したプリント配線板においては、電源パターンやグラウンドパターンを中間非導体部を設けて切断することにより、これらパターンの長さに伴い発生する共振を防いでいる。しかしながら、この方法ではグラウンドや電源が基板全面を覆ういわゆるベタパターンの場合には、前記非導体部がスリットアンテナとして作用し、かえって電磁波の放射が増加する問題点があった。

【0015】また、図 30 に示した多層プリント回路基板では、第 1 のグラウンド層と第 2 のグラウンド層と電源層で構成される高周波の回路に、抵抗による損失材を介入させているため、電源層-第 1、第 2 グラウンド間の電圧変動に起因する不要電磁波の放射や機器の誤動作は抑制できるが、通常のグラウンド層の他にさらにグラウンド層を一層増す必要があり、コストの増加を招くという問題点があった。

【0016】本発明は以上の点に鑑みてなされたものであり、上記課題を解決し、電源-グラウンド間の電圧変動

を抑制し、かつ不要電磁波の放射や外部電磁界の侵入による機器の誤動作を効率良く抑制する多層プリント回路基板を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の発明の多層プリント基板は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、グラウンド層と電源層間の、プリント基板の端部もしくは電源層の端部に抵抗材料からなる抵抗体を有し、抵抗体はグラウンド層又は電源層の少なくともいずれかと直接電氣的に接触していないことを特徴とする。

【0018】第2の発明として、前記抵抗体の代わりに、抵抗体層を金属層で挟んだ複合層と誘電体層とが交互に積層された構成としてもよい。

【0019】第3の発明は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、基板の端部に基板の表面層に回り込むように抵抗膜が設けてあり、グラウンド層と電源層は、基板の端部で、ビアホールを介して基板の対向する異なる表面層に設けられたパッドのいずれかと電氣的に接続され、抵抗膜の表面層に露出した部分とパッドは、パッドのどちらか一方がコンデンサを介して接続し、他の一方は直に接続された構成であるか、もしくは双方のパッドともコンデンサを介して電氣的に接続された構成であることを特徴とするプリント回路基板である。

【0020】第4の発明は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、基板の端部に抵抗体が設けてあり、グラウンド層と電源層は、基板の端部で、それぞれビアホールを介して基板の対向する異なる表面層に設けられたパッドのいずれかと電氣的に接続され、抵抗体は、パッドのどちらか一方とコンデンサを介して接続し、他の一方は直に接続された構成であるか、もしくは双方のパッドとコンデンサを介して電氣的に接続されている構成であることを特徴とする。

【0021】第5の発明は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、基板の端部および電源層の端部で、グラウンド層と電源層は、ビアホールを介して、基板の同一表面層に設置されるパッドとそれぞれ電氣的に接続され、パッドの間には抵抗とコンデンサが直列に挿入されていることを特徴とする。

【0022】第6の発明は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、パッドが、基板の同一表面層の、基板の端部および電源層の端部を含む領域に、抑制しようとする目的の周波数帯の上限周波数の基板内波長の $1/2$ 以下の間隔で3つ一組で設置され、グラウンド層と電源層が、前記一組の両端のパッドのいずれかとそれぞれビアホールを介して電氣的に接続され、前記一組をなすパッド間には、抵抗とコンデンサが直列に挿入されていることを特徴とする。

【0023】第7の発明は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、グラウンド層と電源層の間にある誘電体層中、もしくはすべての誘電体層中に、抑制しようとする目的の周波数に対応した波長の $1/4$ の長さ分、基板の端部から内側に入り込んだ位置を中心に一定の幅、もしくはこの領域の内側全体に、磁氣的な損失を有する磁性体層が設けられていることを特徴とする。

【0024】第8の発明は、金属層と誘電体層が交互に積層され、電位の基準となるグラウンド層と電源を供給するための電源層を有する多層プリント回路基板であって、前記グラウンド層と前記電源層の間が、磁氣的な損失を有し、かつ電氣的に絶縁された層により構成されていることを特徴とするプリント回路基板である。

【0025】

【発明の実施の形態】次に本発明の実施の形態を図面を参照して説明する。

【0026】（第1の実施の形態）図1および図2は、本発明の第1の実施の形態を示す多層プリント回路基板1を表す図である。図1はプリント基板1の上面図、図2はこの基板のx-x'における断面図である。

【0027】本実施の形態では、プリント基板1は金属層と誘電体層が交互に積層され、金属層が四層、誘電体層が三層の構造である。

【0028】各金属層は回路パターンを形成できるように電界メッキなどで形成され、各金属層の間はガラスエポキシや紙フェノールなどの絶縁体（誘電体）5により隔てられている。

【0029】プリント基板1の金属層を上から順番に第一層、第二層、第三層、第四層と呼ぶことにしたとき、第一層、第四層が信号パターンの配線用の層4として用いられ、第二層はグラウンド層2、第三層が電源層3である。

【0030】グラウンド層2と電源層3の間には、その基板の端部に抵抗材料により構成された抵抗体6が設けられている。抵抗体6とグラウンド層2、および抵抗体6と電源層3は直接接触しないよう誘電体5による薄い層が設けられている。

【0031】本実施の形態では、抵抗体6がグラウンド層2、電源層3の両方と接触しない構造としたが、抵抗体6はグラウンド層2、電源層3のどちらか一方のみ接触し

た構造としてもよい。グラウンド層 2 と電源層 3 の間は直流的には開放となる必要がある。したがって、抵抗体 6 がグラウンド層 2 と電源層 3 の両方と接触してはならない。

【0032】電源層 3 を複数有する多層プリント基板においては、図 3 にその断面図を示すように、前記抵抗体 6 は第 1 の電源層 3 と第 2 の電源層 3' の双方の端部にも設ける。

【0033】抵抗体 6 を構成する材料は、例えばカーボン、グラファイトなどの電氣的損失を有する材料、もしくはこれらの材料を粉末もしくはフィラー状にしてエポキシ樹脂などの高分子樹脂に分散した材料である。

【0034】本発明によるプリント回路基板は、四層のプリント回路基板だけでなく、六層や八層などのさらに層数の多い基板にも適用可能である。例えば、図 4 の断面図に示すような第一層、第六層および第三層、第四層をそれぞれ信号配線のための層 4 A および 4 B とし、第二層をグラウンド層 2、第五層を電源層 3 とした六層のプリント回路基板においては、グラウンド層 2 と電源層 3 に挟まれた層 4 B の信号パターン配線領域を基板の端部より一定の幅だけ内側の領域に限定して設け、電源層 3 とグラウンド層 2 の間に誘電体層を介して抵抗体 6 を設けることにより、図 2 に示したプリント回路基板 1 と同様の構造を実現できる。

【0035】次に、本発明の第 1 の実施の形態が、不要電磁波の抑制や外部電磁界の侵入による回路誤動作を抑制できる理由を実験例を用いて説明する。

【0036】図 5 は、本発明の前提となる原理を示すための実験に用いたプリント回路基板 11 の表面図、図 6 は基板 11 の $x-x'$ における断面図である。

【0037】プリント回路基板 11 は金属層と誘電体層が交互に積層され、金属層が四層の構造であり、金属層の第一層と第四層が信号配線のための層 14 であり、第二層はグラウンド層 12、第三層は電源層 13 である。

【0038】基板の寸法は、面積が $160\text{mm} \times 24\text{mm}$ 、厚さは 1.6mm である。各金属層は厚さ $25 \sim 40\mu\text{m}$ の銅箔からなる。各層は誘電体ガラスエポキシ 15 により隔てられており、誘電体 15 の厚さは、金属層である第一層と第二層、及び第三層と第四層の間が約 0.25mm 、第二層と第三層の間が約 1mm である。グラウンド層 12 と電源層 13 は、配線パターンが基板の全面を覆うように設けられたいわゆるベタパターンを構成している。

【0039】このプリント回路基板 11 上には、水晶発振器 16、IC 17、四本の信号配線パターン 18、終端抵抗 19 で終端された信号配線パターン 18 を持つ回路がその中心部に搭載されている。水晶発振器 16 の発振周波数は 20MHz 、IC 17 には TTL インバータ 74AS04 を用いた。配線パターン 18 の長さはいずれも約 105mm であり、それぞれ 75Ω の抵抗 19 で終端した。信号配線パターンは第一層のみに設けられ

てあり、第四層には IC 17 を駆動するために発振器 16 から送られる信号を伝送する配線を除いて信号配線パターンは存在しない。

【0040】この回路を直流 5V の電源を用いて駆動し、基板 11 から 10m 離れた点で不要電磁波放射の特性を測定した結果、特に 220MHz を中心とする周波数帯で電界強度が $46\text{dB}\mu\text{V}/\text{m}$ の高いレベルの不要電磁波放射が測定された。

【0041】次に、周波数 220MHz における回路駆動時のプリント回路基板 11 近傍の磁界強度分布を測定した。基板 11 に垂直な Z 方向の磁界成分 H_z の強度分布を図 7 に示す。濃い色の部分ほど磁界強度が強く、薄い部分は磁界強度が弱いことを表す。図 7 の磁界強度分布の短辺方向の変化を見ると、プリント回路基板 11 の長辺方向の両端部において特に強い。この結果は以下のように考えることができる。

【0042】図 8 は基板 11 の $y-y'$ における断面図であり、グラウンド層 12、電源層 13 に流れる電流 20 と磁力線 21 の様子を示した図である。グラウンド層 12 と電源層 13 の二つの層で構成された平行板線路には、断面に垂直な方向に電流 20 が流れ、その結果、断面に平行な磁力線 21 が生じる。図 7 に示した磁界強度分布は、磁力線 21 がプリント回路基板の外部に漏洩した部分を測定した結果、得られたものであり、グラウンド層 12 と電源層 13 で構成された平行板線路を電磁波が伝わる際の磁界の分布を表している。

【0043】また、基板の長辺方向の変化を見ると、磁界強度は IC 17 の搭載位置付近で最も強く基板の端部においては弱い。この結果は以下のように考えられる。

【0044】長辺の端部に沿った磁界強度の変化を図 9 に実線で示す。磁界強度（実線）は端部においてほぼゼロであり、中心部に向かうにしたがいレベルが高くなる。

【0045】図 9 における破線は、誘電体 15 の内部を 220MHz の信号が伝搬する際の波長短縮を考慮して計算した正弦波曲線である。基板の端部をゼロとして画いた破線は、基板中央部付近の IC 17 が搭載された位置付近までは実線とほぼ一致する。この特性は、基板の端部を開放端とする電流定在波が存在していることを意味しており、グラウンド層 12 と電源層 13 で構成された平行板線路に、同周波数において共振が生じていることを表している。この共振が不要電磁波放射の原因である。共振周波数は、回路基板の寸法や搭載された回路に依存した固有の値を持つ。共振周波数では、外部から侵入する電磁界に対しても大きな電圧変動を生じやすく、回路誤動作の要因ともなる。

【0046】したがって、グラウンド層 12 と電源層 13 間の電圧変動に起因する不要電磁波放射や回路の誤動作を抑制するためには、グラウンド層 12 と電源層 13 により構成された平行板線路に電氣的損失を有する材料を挿

入して、その電氣的損失成分により同線路に生じる共振のエネルギーを吸収抑制すればよい。

【0047】図6、図7に示した基板11では、基板短辺方向の両端部では磁界強度が急激は低下しており開放端となっている。開放端では、図9に示すように磁界（実線で示す）がゼロ、電界（一点鎖線で示す）が最大の電磁界分布を示す。本実施の形態では、電界が最大となる基板端部に、抵抗体のような電氣的損失を有する材料を挿入することにより、共振が抑制され同共振に起因する放射や誤動作の原因となる電圧変動を低減できる。

【0048】一般のプリント回路基板は正方形に近い形状をなしている。このときにグラウンド層、電源層を流れる電流は、x方向、y方向の二次元となる。この場合、基板は4辺がすべて開放端となるので、図1に示すように基板の周囲全体に抵抗体6を設けることにより、前記不要電磁波の放射及び電源電圧変動を抑制することができる。

【0049】本発明の第1の実施形態はいくつかの変形が考えられる。例えば、プリント回路基板1の端部断面を拡大した図10に示すように、抵抗体6をグラウンド層2や電源層3に平行するいくつかの金属層7で挟み、誘電体層5と交互に並べた構造としてもよい。

【0050】図10の構造では、グラウンド層2と金属層7、金属層7同士、および電源層3と金属層7の間に挟まれたそれぞれの誘電体層5の厚さが薄くなるため、これらの金属層と誘電体層により等価的に構成されたコンデンサの容量が大きくなり、基板の端部における電界を集中させ、抵抗体6の電氣的損失の効果を高めることができる。図10では、抵抗体6を複数層設けた例を示したが、単数でも構わない。

【0051】（第2の実施の形態）図11は、本発明の第2の実施の形態に係る多層プリント回路基板31の基板端部の断面図である。

【0052】プリント基板31は、金属層と誘電体層が交互に積層され、金属層が四層の構造である。各金属層は回路パターンを形成できるように電界メッキなどで形成され、各金属層の間はガラスエポキシや紙フェノールなど絶縁体35により隔てられている。プリント基板31は金属層の第一層、第四層が信号パターンの配線用の層34として用いられ、第二層はグラウンド層32、第三層が電源層33である。

【0053】グラウンド層32と電源層33は基板の端部付近において、それぞれビアホール36を介してプリント基板31表層に設けられた部品搭載用のパッド37に電氣的に接続される。

【0054】基板端部には、この端部を覆い、基板の両表面層に回り込むように抵抗膜38が設けてある。抵抗膜38は、一方の表層に露出した部分において前記パッド37の間をコンデンサ39を介して、他方の表層に露出した部分において前記パッド37'と短絡板76を

介して、もしくは直に電氣的に接続されている。なお、抵抗膜38の表層に露出した部分は、その双方の面においてパッド37、37'とコンデンサ39を介して接続してもよい。

【0055】デジタル回路においては、電源層33とグラウンド層32の間は、5V、3.3Vといった一定の直流電圧を保つ必要があり、そのためには電源層とグラウンド層は絶縁されていなければならない。もし抵抗膜38が直に電源層33とグラウンド層32の両方と同時に接触すると、その間には直流電流が流れる問題が生じる。従って、電源層とグラウンド層が直接電氣的に接続しないように、コンデンサの挿入などにより抵抗膜38が電源層33とグラウンド層32の両方と同時に接触しない構成とする必要がある。

【0056】抵抗膜38には、カーボン、グラファイトなどの電氣的に損失を有する材料、もしくは布などのシート状の材料に前記電氣的損失材を塗布した材料から構成される。

【0057】コンデンサ39は、高周波領域でのインピーダンスの上昇による抵抗体に流れる電流の減少を防ぐため、チップコンデンサなどのなるべく寄生インダクタンスの小さい素子を用いるのが好ましい。

【0058】本実施の形態の構造は、金属層が四層のプリント回路基板だけでなく、六層や八層などのさらに層数の多い基板にも適用できる。すなわち、いずれの構造においても内層のグラウンド層32、電源層33を基板の端部付近において、それぞれビアホール36を介して層に設けられたパッド37に電氣的に接続することにより、図11と同様の構造とすることができる。

【0059】本発明の第2の実施の形態が、不要電磁波放射や外部電磁界の侵入による回路誤動作を抑制できる理由は、前記第一の実施の形態で述べた理由と同様である。すなわち、グラウンド層32と電源層33とで構成された平行板線路に生じた共振を、図9に示すように電界強度（一定鎖線）が最大値となる基板端部に電氣的損失を有する抵抗膜を付加することにより減衰させるため、同共振に起因する放射や誤動作の原因となる電圧変動を低減できる。

【0060】本実施の形態にはいくつかの変形が考えられる。例えば図12に示した金属が四層のプリント回路基板では、図11におけるプリント回路基板31の抵抗膜38の代わりに、抵抗体40を設けた構造である。この場合も前記構造と同様に、抵抗体40はコンデンサ39または短絡76、およびビアホール37、37'を介してグラウンド層32、電源層33と接続される。

【0061】図11、図12に示すように抵抗膜38、抵抗体40を用いて基板の端部を覆い、コンデンサ39を介してグラウンド層32と電源層33を直接接続することにより、抵抗膜39もしくは抵抗体40に直接高周波電流が流れるため、これら抵抗の電氣損失の効果を高め

ることができる。

【0062】（第3の実施の形態）図13および図14は、本発明の第3の実施の形態を示す多層プリント回路基板の構成図である。図13は、プリント基板41の表面図、図14は基板41のx-x'における断面の端部を拡大した図である。

【0063】図14に示すように、プリント回路基板41は、金属層と誘電体層が交互に積層され、金属層が四層の構造である。各金属層は回路パターンを形成できるように電界メッキなどで形成され、各金属層の間はガラスエポキシや紙フェノールなど絶縁体45により隔てられている。プリント基板41は金属層の第一層、第四層が信号パターンの配線用の層44として用いられ、第二層はグラウンド層42、第三層が電源層43である。

【0064】グラウンド層42と電源層43は、基板の端部付近において、ビアホール46、46'を介してプリント基板41の同一の表面に露出させたパッド47、47'に電氣的に接続されている。

【0065】電源層43に接続されたビアホール47'がグラウンド層42を貫く部分は、グラウンド層42とビアホール47'が接触しないようにビアホール47'の周囲に絶縁領域70を設けた構造となっている。

【0066】グラウンド層42に接続されたパッド47と、電源層43に接続されたパッド47'の間は、コンデンサ48と抵抗49が直列に挿入されている。パッド50は、コンデンサ48と抵抗49を直列に実装するために設けられている。

【0067】これらのビアホール46、46'と、パッド47、47'、50と、コンデンサ48と、抵抗49からなる構造は、図13に示すように、プリント回路基板の端部周辺の基板の内側に、不要電磁波放射や回路誤動作の抑制を目的とする周波数領域の上限周波数に相当するプリント回路基板内での波長の1/2以下の間隔Wで複数配置される。

【0068】例えば、目的とする周波数がVCCI（情報処理装置等電波障害自主規制協議会）などの規定する30MHz～1000MHzであり、比誘電率が約5のガラスエポキシ材で構成されたプリント回路基板を用いた場合には、その上限周波数である1000MHzにおけるプリント回路基板内の波長134mmの1/2以下、すなわち約67mm以下の間隔で、ビアホール46、46'とパッド47、47'、50、抵抗49、コンデンサ48からなる構造を複数配置する。

【0069】複数の電源層43を有するプリント基板の例については、図15にプリント基板の上面図を示すように、各電源層43の領域の端部に、前記ビアホール46、46'とパッド47、47'、50、抵抗49、コンデンサ48とからなる構造を、目的とする周波数領域における上限周波数に相当するプリント回路基板内での波長の1/2以下の間隔で配置すればよい。

【0070】本発明の第3の実施の形態により、不要電磁波の抑制や外部電磁界の侵入による回路誤動作を抑制できる理由は、前記第一の実施の形態、第2の実施の形態で述べた理由と同様である。すなわち、グラウンド層42と電源層43とで構成された平行板線路に生じた共振を、図9に示すように電界強度（一点鎖線）が最大値となる基板端部に、電氣的損失を有する抵抗を付加することにより減衰させるため、同共振に起因する放射や誤動作の原因となる電圧変動を低減できる。

【0071】抵抗48をコンデンサ49に直列に挿入する理由は、グラウンド層42と電源層43の間に直流電流が流れるのを防止するためである。

【0072】また、図15に示すように、本実施の形態では、ビアホール46、46'とパッド47、47'、50、抵抗49、コンデンサ48とからなる構造を、放射の抑制や外部電磁界の侵入による回路誤動作の阻止を目指す周波数領域の上限周波数におけるプリント回路基板内の波長の1/2以下の間隔Wで配置している。この理由は、平行板線路などの伝送線路では、ある一定の間隔Wで不連続が生じた場合、その間隔Wが1/2波長となる周波数においては両端を短絡した伝送線路に見られる場合と同様の共振を生じ、かえって不要電磁波放射や外部電磁界の侵入による回路の誤動作を起こし易くしてしまう可能性があるためである。したがって、その間隔Wを、目的とする周波数領域で波長の最も短くなる上限周波数における波長での1/2以下に規定することにより、本発明では共振の生じる周波数を前記周波数領域外に設定し、共振の発生を防いでいる。

【0073】（第4の実施の形態）次に本発明の第4の実施の形態を図面を参照して説明する。図16および図17は、本発明の第4の実施の形態を示す多層プリント回路基板51の構成を表す図である。図16は、プリント基板51の表面図、図17は図16の基板のx-x'方向における断面図である。

【0074】図17に示すように、プリント基板51は、金属層と誘電体層が交互に積層され、金属層が四層の構造である。各金属層は回路パターンを形成できるように電界メッキなどで形成され、各層の間はガラスエポキシや紙フェノールなど絶縁体55により隔てられている。プリント基板51は金属層の第一層、第四層が信号パターンの配線用の層54として用いられ、第二層はグラウンド層52、第三層が電源層53である。

【0075】グラウンド層52と電源層53間の誘電体層中、もしくはすべての誘電体層中に、不要電磁波の放射や回路誤動作の抑制を目的とする周波数に対応した波長の1/4の長さだけ基板51の端部から内側に入り込んだ位置付近に、もしくはこの領域の内側全体（図16の磁性体膜56領域の内側部分も含む領域）に、磁氣的な損失を有する磁性体層56が設けられている。

【0076】本実施の形態の構造は、金属層が四層のプ

プリント回路基板だけでなく、六層や八層などのさらに層数の多い基板にも適用可能である。例えば、図 18 の断面図に示すように、金属層の第一層、第三層、第四層、第六層を信号配線のための層 54A および 54B とし、第二層をグラウンド層 52、第五層を電源層 53 とした六層のプリント回路基板では、グラウンド層 52 と電源層 53 に挟まれた誘電体層 55A 中の一部、もしくはグラウンド層 52 と電源層 53 で挟まれたすべての誘電体層 55 中に磁性体膜 56 を設ければよい。

【0077】また、グラウンド層 52 と電源層 53 に挟まれた信号層の一部を、磁気的な損失を有する磁性体膜 56 に置き換えた構造としてもよい。

【0078】磁性体層 56 としては、高周波帯において磁気的な損失を有する、 $\text{Fe}_{55}\text{Hf}_{11}\text{O}_{34}$ や $\text{Fe}_{67}\text{Dy}_{7}\text{O}_{26}$ などにより代表される化学式を持つ Fe 合金薄膜などの磁性薄膜、および磁性薄膜を積層した層、層状の焼結フェライト、フェライトなどの磁気的損失を有する粉末材料を分散したシートなどが好ましい。

【0079】次に、本発明の第 4 の実施の形態による構造が、不要電磁波の抑制や外部電磁界の侵入による回路誤動作を抑制できる理由を述べる。

【0080】図 19 はプリント回路基板の端部を拡大した断面図である。グラウンド層 52 と電源層 53 の間に存在する電気力線 74、磁力線 75 を矢印で示す。電気力線 74 はグラウンド層 52 と電源層 53 を結ぶように、また、磁力線 75 はグラウンド層 52 と電源層 53 に平行に生じる。

【0081】既に述べたようにグラウンド層 52 と電源層 53 で構成された平行板線路には、基板端部で磁界強度がゼロ、電界強度が最大となる終端開放の共振が発生する。この共振は伝送線路の理論から明らかなように、開放端である基板の端部から基板の内部波長に対してその $1/4$ 波長だけ内側に入った位置において、磁界強度が最大、電界強度がゼロとなる（図 9 参照）。したがって、この位置に磁気的な損失を有する材料を置くことにより、前記共振を最も効率よく抑制することができる。

【0082】また、このときの磁力線 75 の向きは、図 19 に示すようにグラウンド層 52、電源層 53 に平行である。したがって、磁力線 75 と平行であるグラウンド層 52、電源層 53 と平行に磁性体層を設けることにより、磁性体層のもつ磁気的損失の効果を有効に利用することができる。

【0083】また、磁性体層 56 は前記の基板端部から内部に入り込んだ領域に限らず、基板全体に配してもよい。その場合、既に述べたように基板端部では磁界強度がほとんどゼロであるため磁性体膜 56 による効果はほとんど得られないものの、磁性体膜 56 を特定の領域に限定して設ける必要がないため、プリント回路基板 51 の製作が容易になる利点がある。

【0084】（第 5 の実施の形態）図 20 は、本発明の

第 5 の実施の形態によるプリント回路基板 61 の断面図である。プリント基板 61 は、金属層と誘電体層が交互に積層され、金属層が四層の構造である。各金属層は回路パターンを形成できるように電界メッキなどで形成され、金属層の第一層、第四層が信号パターンの配線用の層 64、第二層はグラウンド層 62、第三層が電源層 63 である。第一層とグラウンド層 62 である第二層、ならびに第四層と電源層 63 である第三層の間は、ガラスエポキシや紙フェノールなど絶縁体 65 により隔てられている。グラウンド層 62 と電源層 63 の間は、磁気的な損失を有し、かつ電氣的に絶縁された層 66 により構成される。

【0085】本発明の第 5 の実施の形態によれば、グラウンド層 62 と電源層 63 で構成された平行板線路に発生した共振を、絶縁層 66 の持つ磁気的な損失により減衰できるため、不要電磁波の抑制や外部電磁界の侵入による回路誤動作を抑制できる。

【0086】また、本発明の第 4 の実施の形態において述べたように、絶縁層 66 の磁気的な損失の効果は、磁界強度の最も強くなる基板端部から $1/4$ 波長の距離において最も有効である。したがって、絶縁層 66 は、図 21 のプリント回路基板 61 の表面図に示すように、不要電磁波の放射や回路誤動作の抑制を目的とする周波数におけるプリント回路基板内部の波長の $1/4$ 波長分、基板端部から内側に入った位置を中心に一定の幅で設けた構造としてもよく、さらにこの領域の内側全体に設けた構造としてもよい。

【0087】磁気的な損失を有する絶縁層 66 を構成する材料としては、フェライトやカーボニール鉄のような高周波領域において磁気的な損失を有するような磁性体を、粉末やフィラー状にしてエポキシ樹脂などの高分子材料に分散したものなどが好ましい。

【0088】

【発明の効果】以上説明したように、多層プリント回路基板におけるグラウンド層と電源層を伝送線路として、その間に生じる定在波に起因する共振が、不要電磁波放射、外部電磁界の侵入による誤動作の大きな要因である。

【0089】本発明による多層プリント回路基板によれば、グラウンド層、電源層間において電界強度が最大となる基板端部に電氣的損失材を適用して共振を抑制するため、効率的に不要電磁波の放射、外部からの電磁界の侵入による回路の誤動作を抑制できる効果を有する。

【0090】また、本発明による多層プリント回路基板によれば、グラウンド層、電源層間において基板の端部から $1/4$ 波長内部に入り込んだ磁界強度が最大となる部分に磁気的な損失を有する材料を適用して共振を抑制するため、効率的に不要電磁波の放射、外部からの電磁界の侵入による回路の誤動作を抑制できる効果を有する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態による多層プリント回路基板の表面図である。

【図 2】本発明の第 1 の実施の形態による多層プリント回路基板の断面図である。

【図 3】本発明の第 1 の実施の形態による多層プリント回路基板において、複数の電源層を含む基板の上面図である。

【図 4】本発明の第 1 の実施の形態による金属層が 6 層のプリント回路基板の断面図である。

【図 5】本発明の第 1 の実施例に関わる原理を説明するための実験に用いたプリント回路基板の表面図である。

【図 6】本発明の第 1 の実施例に関わる原理を説明するための実験に用いたプリント回路基板の断面図である。

【図 7】プリント回路基板近傍における磁界強度分布を表す図である。

【図 8】プリント回路基板中における電流と磁力線を表す図である。

【図 9】プリント回路基板の端部に沿った磁界強度分布、電界強度分布を表す図である。

【図 10】本発明の第 1 の実施の形態の変形による多層プリント回路基板の断面図である。

【図 11】本発明の第 2 の実施の形態による多層プリント回路基板の断面図である。

【図 12】本発明の第 2 の実施の形態の変形による多層プリント回路基板の断面図である。

【図 13】本発明の第 3 の実施の形態による多層プリント回路基板の表面図である。

【図 14】本発明の第 3 の実施の形態による多層プリント回路基板の断面図である。

【図 15】本発明の第 3 の実施の形態による多層プリント回路基板において、複数の電源層を含む基板の上面図である。

【図 16】本発明の第 4 の実施の形態による多層プリント回路基板の表面図である。

【図 17】本発明の第 4 の実施の形態による多層プリント回路基板の断面図である。

【図 18】本発明の第 4 の実施の形態の変形による多層プリント回路基板の断面図である。

【図 19】基板端部における電気力線と磁力線の様子を示す図である。

【図 20】本発明の第 5 の実施の形態による多層プリント回路基板の断面図である。

【図 21】本発明の第 5 の実施の形態の変形による多層プリント回路基板の表面図である。

【図 22】従来の多層プリント回路基板の構成図である。

【図 23】従来の多層プリント回路基板の構成図である。

【図 24】従来の多層プリント回路基板の構成図である。

【図 25】従来の多層プリント回路基板の構成図である。

【図 26】従来の多層プリント回路基板の構成図である。

【図 27】従来の多層プリント回路基板の構成図である。

【図 28】従来の多層プリント回路基板の構成図である。

【図 29】従来の多層プリント回路基板の構成図である。

【図 30】従来の多層プリント回路基板の構成図である。

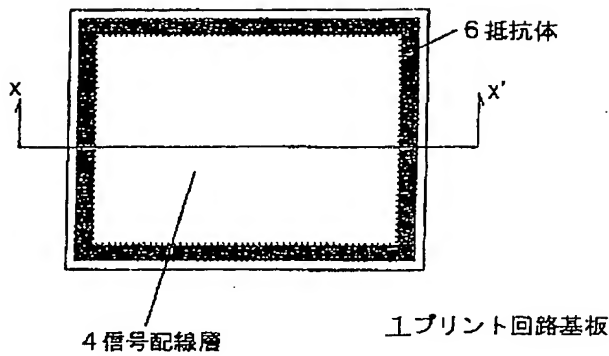
【符号の説明】

1、11、31、41、51、61	プリント回路基板
2、12、32、42、52、62	グランド層
3、13、33、43、53、63、115、134	電源層
4、14、34、44、54、64	信号配線層
5、15、35、45、55、65	誘電体層
6	抵抗体
7	金属層
10	複合層
16	水晶発振器
17	IC
18	信号配線パターン
19	終端抵抗
20	電流
21	磁力線
36、46	ビアホール
37、47、50	パッド
38	抵抗膜
39、49	コンデンサ
40	抵抗体
48	抵抗
56	磁性体層
66	磁氣的損失を有し電氣的に絶縁された層
70	絶縁領域
74	電気力線
75	磁力線
76	短絡板
101、106、108、111、112、121、124、128、131	プリント回路基板
102、116	信号伝送路層
103	絶縁材料
104、105、132、133	グランド層
107	信号線
109、110	電源ライン
113	パターン
114	基板の実装構造
122、125	シールド板層

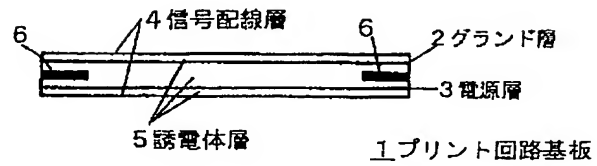
123、127a、127b 電磁波発生源
126 金属きょう体
129 穴

130 側縁導体部、中間導体部
135 抵抗体

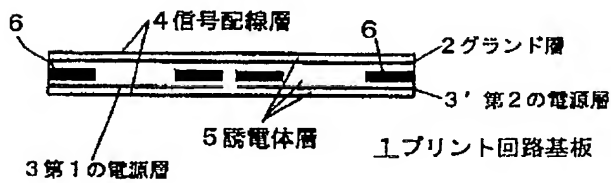
【図1】



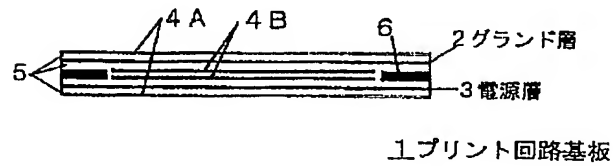
【図2】



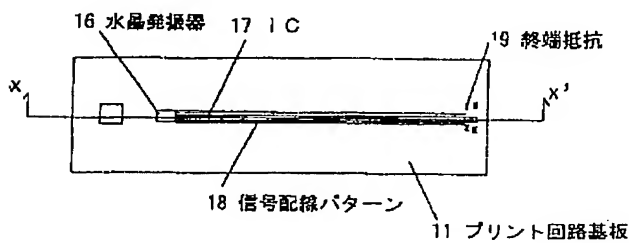
【図3】



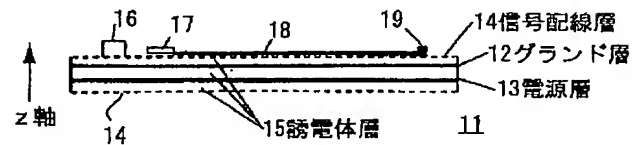
【図4】



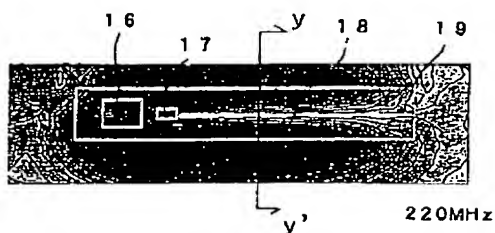
【図5】



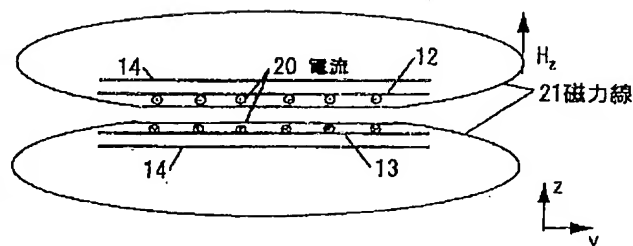
【図6】



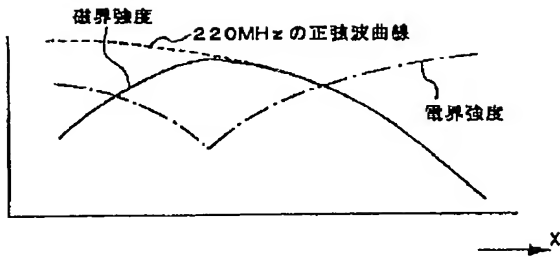
【図7】



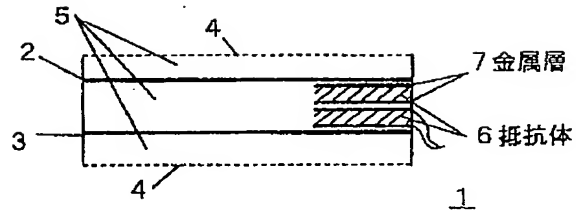
【図8】



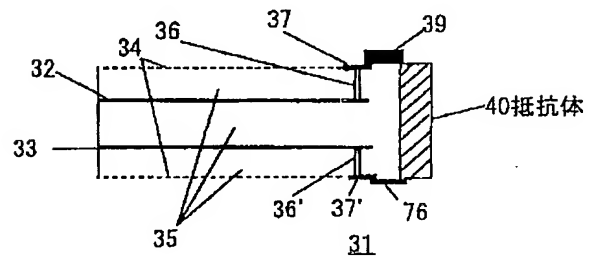
【図9】



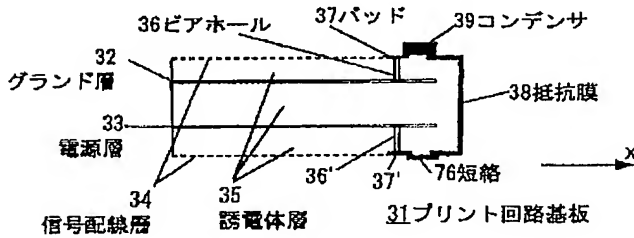
【図10】



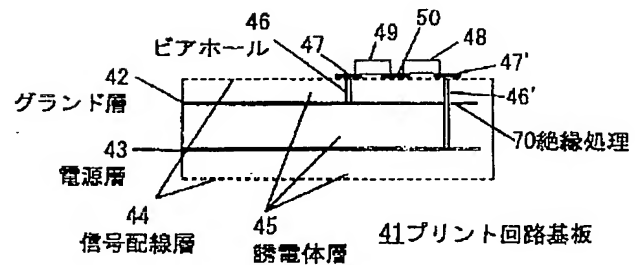
【図12】



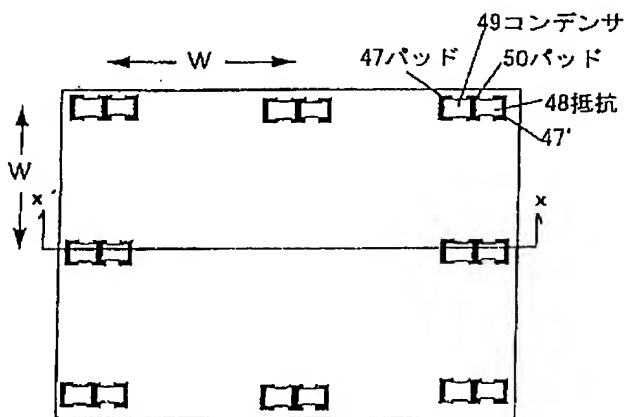
【図11】



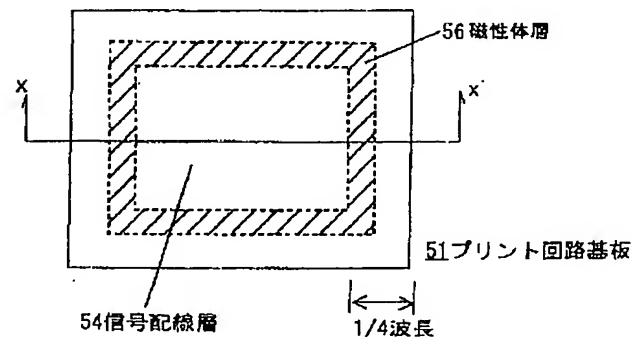
【図14】



【図13】



【図16】

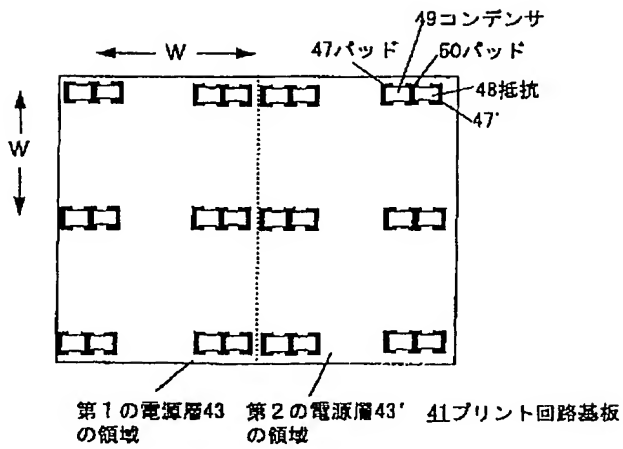


41プリント回路基板

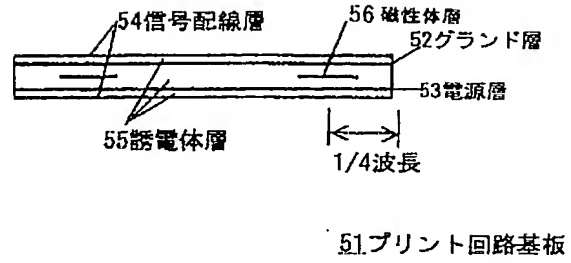
54信号配線層

1/4波長

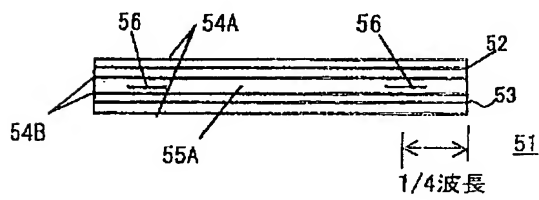
【図 15】



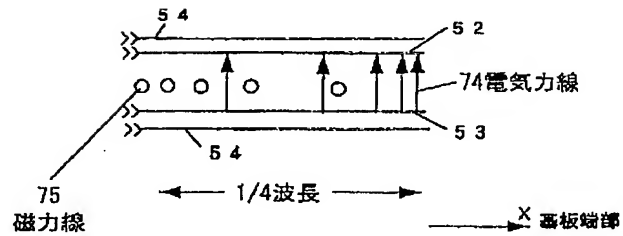
【図 17】



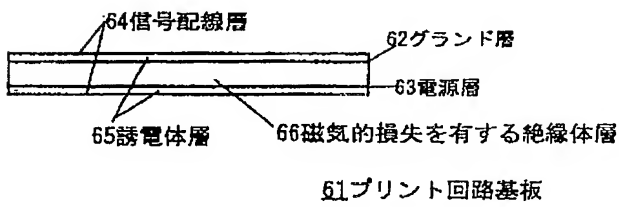
【図 18】



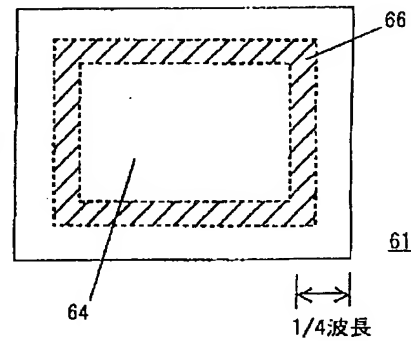
【図 19】



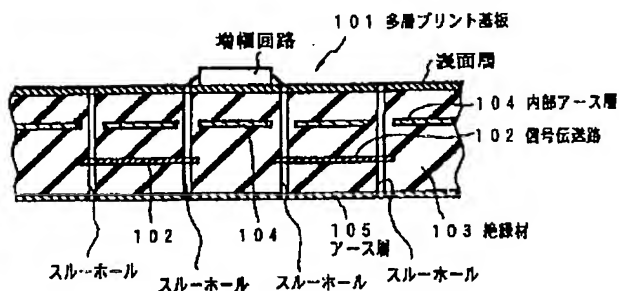
【図 20】



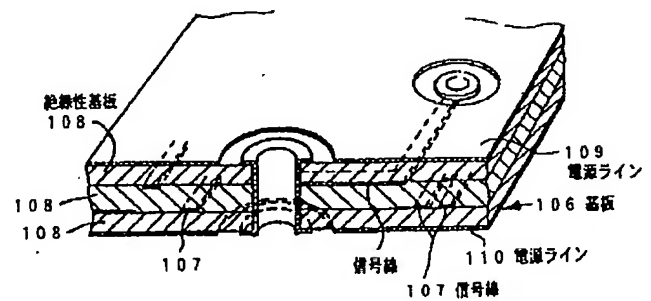
【図 21】



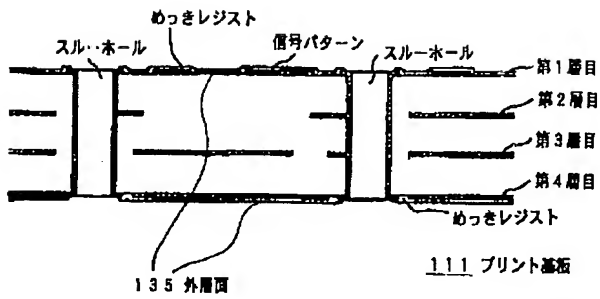
【図 22】



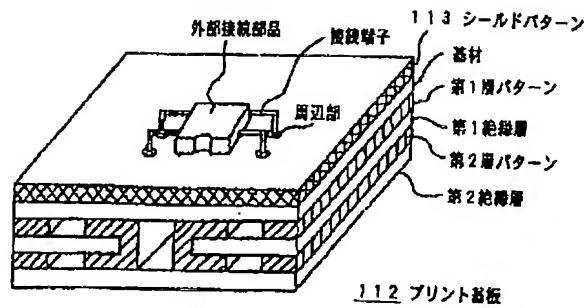
【図 23】



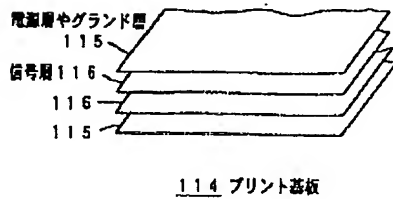
【图 24】



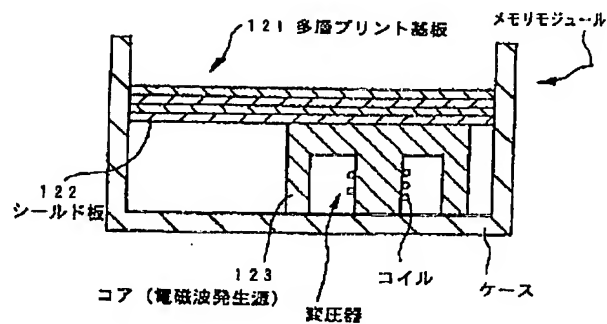
【图 25】



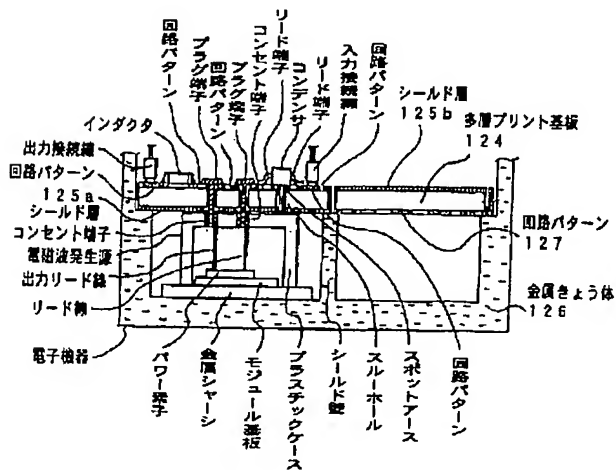
【図 26】



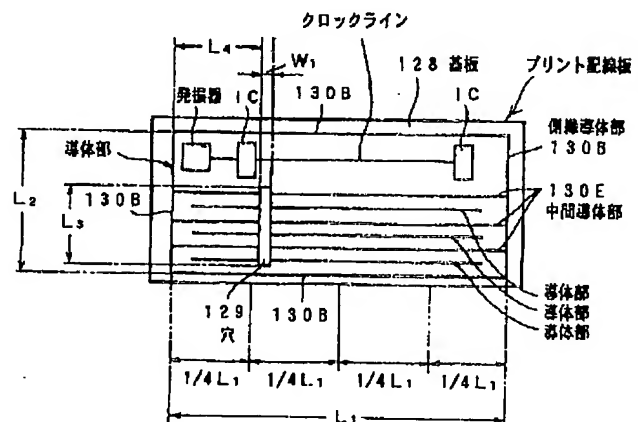
【図 27】



【图 28】



【图 29】



【図 30】

